



XA-9974
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Shinichi SHUTO et al.

Appln. No.: 10/712,996

Group Art Unit: 2838

Filed: November 17, 2003

For: MEMORY APPARATUS/SEMICONDUCTOR PROCESSING SYSTEM

* * *

TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of priority
Japanese Patent Application No. 2003-089691 filed March 28,
2003.

Respectfully submitted,

By: 

Mitchell W. Shapiro
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

April 21, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

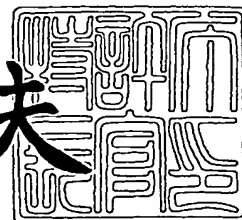
出 願 番 号 特 願 2 0 0 3 - 0 8 9 6 9 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 9 6 9 1]

出 願 人 株式会社日立製作所
Applicant(s):

2 0 0 3 年 1 0 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 6 0 5 3

【書類名】 特許願

【整理番号】 H03000411

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/32

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 首藤 新一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 田村 隆之

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 熊原 千明

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体処理装置

【特許請求の範囲】

【請求項 1】 インタフェース制御回路と処理回路を有し外部装置に装着されて動作電源の供給を受ける半導体処理装置であって、

前記インタフェース制御回路は、外部装置から引き抜かれるとき外部装置からの電源供給遮断前に外部装置の所定の端子から分離する第 1 外部端子に生ずる電位変化を検出し、動作状態の処理回路に終了処理を指示することを特徴とする半導体処理装置。

【請求項 2】 インタフェース制御回路と処理回路を有し外部装置に装着されて動作電源の供給を受ける半導体処理装置であって、

前記インタフェース制御回路は、外部装置から引き抜かれるとき外部装置からの電源供給遮断前に外部装置の所定の端子から分離する第 1 外部端子に生ずる電位変化を検出し、電源遮断の発生を示すフラグを保存することを特徴とする半導体処理装置。

【請求項 3】 インタフェース制御回路と処理回路を有し外部装置に装着されて動作電源の供給を受ける半導体処理装置であって、

前記インタフェース制御回路は、外部装置から引き抜かれるとき外部装置からの電源供給遮断前に外部装置の所定の端子から分離する第 1 外部端子に生ずる電位変化を検出し、電源回路を起動させて処理回路の動作電源を補うことを特徴とする半導体処理装置。

【請求項 4】 前記第 1 外部端子に接続するモニタ端子を有し、前記モニタ端子は前記第 1 外部端子に生ずる電位変化をホスト装置にモニタ可能にする端子であることを特徴とする請求項 1 乃至 3 の何れか 1 項記載の半導体処理装置。

【請求項 5】 前記第 1 外部端子はリセット指示の解除後に第 1 電圧にされるリセット端子であり、前記リセット端子は第 2 外部端子に抵抗素子を介して接続され、前記第 2 外部端子は外部装置から前記第 1 電圧とは逆極性の第 2 電圧が供給されることを特徴とする請求項 1 乃至 3 の何れか 1 項記載の半導体処理装置。

。

【請求項 6】 前記第 1 外部端子は処理回路の動作動作状態において第 1 電圧にされる外部端子であり、前記外部端子は第 2 外部端子に抵抗素子を介して接続され、前記第 2 外部端子は外部装置から前記第 1 電圧とは逆極性の第 2 電圧が供給されることを特徴とする請求項 1 乃至 3 の何れか 1 項記載の半導体処理装置。

【請求項 7】 前記第 1 電圧は回路の接地電圧であり第 2 電圧は電源電圧であり、第 2 外部端子は外部電源端子であることを特徴とする請求項 5 又は 6 記載の半導体処理装置。

【請求項 8】 前記第 1 電圧は電源電圧であり第 2 電圧は回路の接地電圧であり、第 2 外部端子はグランド源端であることを特徴とする請求項 5 又は 6 記載の半導体処理装置。

【請求項 9】 第 1 外部端子は複数のグランド端子の内の一つであり、前記一つのグランド端子は抵抗素子を介して電源端子に接続されることを特徴とする請求項 1 乃至 3 の何れか 1 項記載の半導体処理装置。

【請求項 10】 前処理回路は電氣的に消去及び書き込み可能な不揮発性メモリであり、前記インタフェース制御回路は外部インタフェース制御と前記不揮発性メモリに対すメモリ制御を行う制御回路であることを特徴とする請求項 1 記載の半導体処理装置。

【請求項 11】 前記終了処理は、消去及び書き込み処理途中の不揮発性メモリセルの閾値電圧を所定の閾値電圧分布に揃える処理であることを特徴とする請求項 10 記載の半導体処理装置。

【請求項 12】 前記終了処理は、消去及び書き込み処理途中の不揮発性メモリセルのブロックを識別可能な識別フラグをセットして保存する処理であることを特徴とする請求項 10 記載の半導体処理装置。

【請求項 13】 前記終了処理は、消去及び書き込み処理の途中の不揮発性メモリセルに対する完全遂行処理を含むことを特徴とする請求項 12 記載の半導体処理装置。

【請求項 14】 外部装置の対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第 1 処理回路と、前記第 1 処理回路の制御を受ける第

2 処理回路と、前記複数の外部端子の内の第 1 外部端子と第 2 外部端子とを接続する抵抗素子と、を有し、

前記第 1 外部端子は第 2 処理回路の動作状態において第 1 電圧にされ、

前記第 2 外部端子は第 2 電圧を受け、

前記第 1 処理回路は、前記外部装置から離脱するとき外部装置からの電源供給が遮断される前に前記第 1 外部端子が前記第 1 電圧から第 2 電圧に変化するのを検出してそれに応答する処理を行うことを特徴とする半導体処理装置。

【請求項 15】 前記第 1 外部端子はリセット指示の解除後に第 1 電圧にされるリセット端子であることを特徴とする請求項 14 記載の半導体処理装置。

【請求項 16】 外部装置の対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第 1 処理回路と、前記第 1 処理回路の制御を受ける第 2 処理回路と、前記複数の外部端子の内の第 1 外部端子と第 2 外部端子とを接続する抵抗素子と、を有し、

前記第 1 外部端子は複数のグランド端子の内の一つであり、

前記第 2 端子は電源端子であり

前記第 1 処理回路は、前記外部装置から離脱するとき外部装置からの電源供給が遮断される前に前記第 1 外部端子が回路の接地電圧から電源電圧に変化するのを検出してそれに応答する処理を行うことを特徴とする半導体処理装置。

【請求項 17】 外部装置から引き抜かれるとき前記第 1 外部端子は他のグランド端子に比べて外部装置の対応端子から早く分離される配置を有することを特徴とする請求項 16 記載の半導体処理装置。

【請求項 18】 前記第 2 処理回路は電氣的に消去及び書き込み可能な不揮発性メモリであり、前記第 1 処理回路は外部インタフェース制御と前記不揮発性メモリに対すメモリ制御を行う制御回路であることを特徴とする請求項 14 又は 16 記載の半導体処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ATA (ATA タッチメント) カード又は CF (コンパクトフラッ

シュ) カード等の規格に準拠したフラッシュメモリカードに代表されるカード型電子装置等の半導体処理装置に関し、特に動作中における半導体処理装置の不所望な抜き取りによるデータ破壊の防止もしくはデータ復旧を可能にする技術に適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

カードスロットに対する A T A カード等の装着及び引き抜き検出にはカード内でプルダウンされた端子とカードスロット内部でプルアップされた端子との対応端子を用いる。カードスロットにカードが装着されて前記対応端子が接続されるとカードスロットの対応端子がグランドに引かれ、当該対応端子を監視するカードスロット内のインタフェース回路がカードの装着を検出してカードに動作電源の供給を開始する。カードの引き抜き時は先に前記対応端子が分離することによってカードスロットのインタフェース回路が当該端子が電源電圧にされるのを検出することによりカード引き抜きを検出する。カードスロットのインタフェース回路はカード引き抜きを検出して動作電源の供給を停止する（特許文献 1 参照）。

【0 0 0 3】

【特許文献 1】

特開 2 0 0 0 - 9 9 2 1 5 号公報（図 5）

【0 0 0 4】

【発明が解決しようとする課題】

しかしながら上記従来技術はカード引き抜きによる電源遮断によってカード側で発生する不都合について考慮されていない。本発明者の検討によれば、フラッシュメモリカードにデータの書込みを行っている最中にカードが引き抜かれて動作電源の供給が遮断され、電源電圧が低下する中でメモリ部に単にデータ書き込み動作を続けるとメモリ部に悪影響を及ぼす場合がある。例えば、書込み処理前の消去処理を行ったところで動作電源が遮断されると、過消去状態の不揮発性メモリセルが残る場合がある。ここで過消去状態の不揮発性メモリセルとは、消去状態のメモリセルのしきい値電圧が含まれるべきしきい値電圧分布を超えて、メ

メモリセルのしきい値電圧が変化している状態をいい、例えば消去状態のしきい値電圧分布が低電圧側にある場合、しきい値電圧がしきい値電圧分布よりも低い電圧になり負電圧状態になっている様なメモリセルを指す。しきい値電圧が負電圧になっている様なメモリセルではワード線に非選択レベルの電圧（例えば0V）を印可したとしても、メモリセルはオン状態となりチャネルに電流が流れてしまう。このような過消去メモリセルがノーマリ・オンの状態になると、これとビット線を共有するメモリセルは誤動作を生ずる。これに対しては、過消去メモリセルを残さないようにする、過消去メモリセルの発生の虞を把握して後から復旧や救済処理を可能にする、或は、誤動作の虞のある回路部分を後から切り離し可能にする、等の対策を講ずることが必要になる。

【0005】

そのために、①予備バッテリーを持つ、②容量の大きなコンデンサを持つ、③データ領域の2重化、④ユーザへの注意徹底等で対処することも可能である。しかしながら、①小型のカードでは予備バッテリーを搭載する容積的な余裕はない。また原価も上昇する。②容量の大きなコンデンサも①と同様である。③データの管理方式が複雑になる。④全てのユーザへの徹底は不可能である。

【0006】

本発明の目的は、カード引き抜きによる電源遮断による不都合を比較的容易に解消することができるカード型電子装置に代表される半導体処理装置を提供することにある。

【0007】

本発明の別の目的は、カード引き抜きによる電源遮断による不都合をメモリやデータ管理方式等に応じて対策することが可能なカード型電子装置に代表される半導体処理装置を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0 0 1 0】

〔1〕半導体処理装置例えばカード型電子装置（1）は、インタフェース制御回路（4）と処理回路（5）を有し外部装置例えばカードスロット（11）に装着されて動作電源の供給を受ける。カード引き抜きによる電源遮断による不都合を解消する第1形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットからの電源供給遮断前にカードスロットの所定の端子（P1、Pvs2）から分離する第1外部端子（H1、Fvs2）に生ずる電位変化を検出し、動作状態の処理回路に終了処理を指示する。上記より、電源供給が完全に遮断される前にカード型電子装置は自らで終了処理を行うことができる。

【0 0 1 1】

第2形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットからの電源供給遮断前にカードスロットの所定の端子から分離する第1外部端子に生ずる電位変化を検出し、電源遮断の発生を示すフラグを不揮発性ラッチ回路（25）に保持する。上記より、インタフェース制御回路は電源投入後にフラグをチェックし、電源遮断発生の有無を判別し、電源遮断が有ったときは、処理回路の異常を検出し、必要に応じて復旧処理を行えばよい。

【0 0 1 2】

第3形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットからの電源供給遮断前にカードスロットの所定の端子から分離する第1外部端子に生ずる電位変化を検出し、電源回路例えばチャージポンプ回路（30）を起動させて処理回路の動作電源を補う。上記より、電源供給が完全に遮断されるまでの時間を引き延ばすことができ、その間に必要な処理を完了することが容易になる。チャージポンプ回路のような電源回路は元々処理回路に内蔵されているもの、或はそれ専用増設されたもの、の何れであってもよい。

【0 0 1 3】

動作状態の処理回路に対する終了処理の指示状況を逸早くホスト装置にも知らせるには、前記第 1 外部端子に接続するモニタ端子 (H 2) を設ける。前記モニタ端子は前記第 1 外部端子に生ずる電位変化をホスト装置にモニタ可能にする端子である。

【0 0 1 4】

〔2〕電源遮断検出の第 1 形態として、前記第 1 外部端子 (H 1) はリセット指示の解除後に第 1 電圧にされるリセット端子であり、前記リセット端子は第 2 外部端子 (H v d) に抵抗素子 (7) を介して接続され、前記第 2 外部端子はカードスロットから前記第 1 電圧とは逆極性の第 2 電圧が供給される。

【0 0 1 5】

第 2 形態として、前記第 1 外部端子は処理回路の動作状態において第 1 電圧にされる外部端子であり、前記外部端子は第 2 外部端子に抵抗素子を介して接続され、前記第 2 外部端子はカードスロットから前記第 1 電圧とは逆極性の第 2 電圧が供給される。前記外部端子は、例えば処理回路が動作中であることを間接的に示し得る信号端子である。

【0 0 1 6】

上記第 1 及び第 2 形態において、前記第 1 電圧は回路の接地電圧 (G N D) であり第 2 電圧は電源電圧 (V d d) であり、第 2 外部端子は外部電源端子 (H v d) である。その逆であってもよい。即ち、前記第 1 電圧は電源電圧 (V d d) であり第 2 電圧は回路の接地電圧 (G N D) であり、第 2 外部端子はグランド源端 (H v s) である。

【0 0 1 7】

電源遮断検出の第 3 形態として、第 1 外部端子は複数のグランド端子 (F v s 1, F v s 2) の内の一つ (F v s 2) であり、前記一つのグランド端子は抵抗素子 (7) を介して電源端子 (F v d) に接続される。

【0 0 1 8】

電源遮断検出の何れの形態であっても、電源供給端子はカードスロットの対応端子に対し第 1 外部端子が分離された後に分離される。

【0019】

〔3〕本発明が不揮発性メモリカードに適用される場合、前処理回路は電氣的に消去及び書き込み可能な不揮発性メモリ（5）であり、前記インタフェース制御回路は外部インタフェース制御と前記不揮発性メモリに対すメモリ制御を行う制御回路（4）である。

【0020】

このとき、前記終了処理は、例えば消去及び書き込み処理途中の不揮発性メモリセルの閾値電圧を所定の閾値電圧分布に揃える処理である。データの書き込み途中で不所望な電源遮断が発生しても過消去状態のメモリセルが残らない。

【0021】

別の例として前記終了処理は、消去及び書き込み処理途中の不揮発性メモリセルのブロック（消去及び書き込み単位）を識別可能な識別フラグをフラッシュメモリにセットして保存する処理である。これにより、インタフェース制御回路は電源投入後に不揮発性メモリ上の識別フラグをチェックし、消去及び書き込み処理途中で電源遮断が発生したメモリブロックの有無を判別し、そのようなメモリブロックに対しては過消去による不都合を生じないように、データ管理方式等に応じてメモリブロックの代替などの復旧処理を行えばよい。

【0022】

識別フラグのセットと共に消去及び書き込み処理途中の不揮発性メモリセルに対する完全遂行処理を併用してもよい。

【0023】

〔4〕本発明の別の観点による半導体処理装置例えばカード型電子装置は、外部装置例えばカードスロットの対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第1処理回路（4）と、前記第1処理回路の制御を受ける第2処理回路（5）と、前記複数の外部端子の内の第1外部端子と第2外部端子とを接続する抵抗素子（7）と、を有する。前記第1外部端子は第2処理回路の動作状態において第1電圧にされる。前記第2外部端子は第2電圧を受ける。前記第1処理回路は、前記カードスロットから離脱するときカードスロットからの電源供給が遮断される前に前記第1外部端子が前記第1電圧から第2圧に変化

するのを検出してそれに応答する処理を行う。応答する処理は前記終了処理の指示などである。

【0024】

前記第1外部端子は、例えば、リセット指示の解除後に第1電圧にされるリセット端子である。

【0025】

例えば前記第2処理回路は電氣的に消去及び書き込み可能な不揮発性メモリであり、前記第1処理回路は外部インタフェース制御と前記不揮発性メモリに対するメモリ制御を行う制御回路である。

【0026】

本発明の更に別の観点による半導体処理装置例えばカード型電子装置は、外部装置例えばカードスロットの対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第1処理回路と、前記第1処理回路の制御を受ける第2処理回路と、前記複数の外部端子の内の第1外部端子と第2外部端子とを接続する抵抗素子と、を有する。前記第1外部端子は複数のグランド端子の内の一つである。前記第2端子は電源端子である。前記第1処理回路は、前記カードスロットから離脱するときカードスロットからの電源供給が遮断される前に前記第1外部端子が回路の接地電圧から電源電圧に変化するのを検出してそれに応答する処理を行う。例えば、前記第1外部端子は、カードスロットから引き抜かれるとき他のグランド端子に比べてカードスロットの対応端子からの早く分離される配置を有する。

【0027】

【発明の実施の形態】

図1には本発明に係る半導体処理装置の一例であるフラッシュメモリカードが例示される。同図に示されるフラッシュメモリカードは例えばPCMCIA (Personal Computer Memory Card International Association) の規格に準拠したPCカードの一種である。

【0028】

フラッシュメモリカード1はカード基板2にインタフェース端子部3、コント

ローラ 4 及び電氣的に消去及び書込み可能な不揮発性メモリの一種であるフラッシュメモリメモリ 5 が搭載されて構成される。インタフェース端子部 3 はパーソナルコンピュータなどのカードホスト装置 10 に設けられているカードスロット 11 に着脱される。インタフェース端子の種類及び物理的構成はメモリカードが準拠する規格に従って決定される。例えば、インタフェース端子部 3 には電源端子 H_{vd} 、接地端子 H_{vs} 、カードディテクト端子 H_{cd} 、及び複数の信号端子 $H_1 \sim H_n$ が設けられる。信号端子 $H_1 \sim H_n$ にはクロック信号端子を含んでいる。カードスロット 11 にはそれらに対応する端子として、電源端子 P_{vd} 、接地端子 P_{vs} 、カードディテクト端子 P_{cd} 、及び複数の信号端子 $P_1 \sim P_n$ が設けられる。例えばカードスロット 11 側のインタフェース端子 P_{vd} 、 P_{vs} 、 P_{cd} 、 $P_1 \sim P_n$ はピン、メモリカード側のインタフェース端子 H_{vd} 、 H_{vs} 、 H_{cd} 、 $H_1 \sim H_n$ はピンが挿入されるホールによって構成される。ホールで構成されるインタフェース端子 H_{vd} 、 H_{vs} 、 H_{cd} 、 $H_1 \sim H_n$ の先端部は揃えられている。ピンで構成されるインタフェース端子 P_{vd} 、 P_{vs} 、 P_{cd} 、 $P_1 \sim P_n$ は電源系端子 P_{vd} 、 P_{vs} の先端部が最も突出され、その次に信号端子 $P_1 \sim P_n$ 、カードディテクト端子 P_{cd} の順に短くされる。

【0029】

カードスロット 11 のインタフェース端子 P_{vd} 、 P_{vs} 、 P_{cd} 、 $P_1 \sim P_n$ は図示を省略するカード制御部に接続され、カード装着分離の検出、カード装着分離検出に応ずる電源の供給と停止の制御、信号インタフェース制御を行う。特に図示はしないが、メモリカード内でカードディテクト端子 H_{cd} はプルダウンされ、カードスロット内部でカードディテクト端子 P_{cd} はプルアップされる。カードスロット 11 にメモリカード 1 が装着されて前記対応端子 H_{cd} と P_{cd} が接続されるとカードスロット 11 の端子 P_{cd} が回路の接地電圧（グランド電圧）GND に引かれ、当該対応端子を監視するカードスロット 11 内のインタフェース回路がカードの装着を検出してメモリカード 1 に動作電源の供給を開始する。メモリカード 1 の引き抜き時は先に前記カードディテクト端子 P_{cd} と H_{cd} が分離することによってカードスロット 11 のインタフェース回路が当該端子が電源電圧にされるのを検出することによりカード引き抜きを検出する。カー

ドスロット 11 のインタフェース回路はカード引き抜きを検出して動作電源の供給を停止する。

【0030】

メモリカード 1 においてコントローラ 4 及びフラッシュメモリ 5 は電源端子 H v d とグランド端子 H v s に接続され、カードスロット 11 より動作電源の供給を受ける。コントローラ 4 はホスト装置とのインタフェース制御を行い、またフラッシュメモリ 5 に対しメモリインタフェース制御を行う。

【0031】

フラッシュメモリ 5 は、電氣的に消去及び書き込み可能な多数の不揮発性メモリセルがマトリクス配置されたメモリマツトを有する。前記不揮発性メモリセルは、特に制限されないが、ソース（ソース線接続）、ドレイン（ビット線接続）、チャンネル、チャンネル上に相互に絶縁されて積み上げられたフローティングゲート及びコントロールゲート（ワード線接続）を持つスタックドゲート構造とされる。例えばワード線に負の高電圧を印加してフローティングゲートから電子をウェル領域に引き抜くことによって消去処理が行なわれ、また、ワード線電圧に正の高電圧を印加してドレイン領域からフローティングゲートへホットキャリアを注入して書き込み処理が行なわれる。消去処理と書き込み処理ではその後のコントロールゲートから見た閾値電圧が相違され、この相違により情報記憶を行う。

【0032】

コントローラ 4 はフラッシュメモリ 5 をハードディスク互換のファイルメモリとしてアクセス制御する。例えば、フラッシュメモリ 5 のデータ領域をセクタ単位でアクセス可能にアドレス管理すると共に、不良セクタに対する代替セクタの割り当て制御などを行う。フラッシュメモリ 5 に対するアクセスでは、物理アドレスを用いて、消去処理、書き込み処理、読み出し処理のアクセス制御を行う。

【0033】

メモリカード 1 自らがカードスロット 11 からの引き抜きを検出する構成について説明する。図 1 の例では信号端子 H 1 が電源端子 H v d に抵抗素子 7 でプルアップされる。信号端子 H 1 は、カードホスト装置 10 の対応端子 P 1 に接続されているとき、カードホスト装置 10 からのリセット指示の解除後に接地電圧 G

NDにされるリセット端子である。リセット端子P 1は出力端子であり、カードホスト装置10はメモリカード1の装着を検出すると、リセット端子P 1をハイレベルのパルス状に変化させてコントローラ4を初期化する。その後リセット端子P 1は常時ローレベルを維持する。この意味において、コントローラ4からの指示に応答してフラッシュメモリ5が消去及び書き込み処理等を行っているビジー状態においてローレベルにされる信号の一つと位置付けることができる。

【0034】

図2にはメモリカード1がカードホスト装置10に装着されている状態を示す。図2においてリセット端子P 1とグランド端子P v sの間にスイッチが図示されているが、このスイッチはリセット解除後にオン状態にされてリセット端子P 1をローレベルにするための回路要素を模式的に示すものである。

【0035】

図2の状態において、リセット端子H 1は接地電圧GNDを維持する。カードホスト装置10からメモリカード1を引き抜こうとすると、先ず最初にカードディテクト端子H c dがカードスロット11の対応端子P c dから分離し、カードホスト装置10のカードコントローラは端子P v dに対する動作電源の供給を停止する。動作電源の供給が停止されてもカードホスト装置10側の電源供給系における寄生容量成分により、実際に端子P v d, H v dの電源電圧が低下するには比較的時間がかかる。この間に、先ず、リセット端子H 1がカードホスト装置10の信号端子P 1から離脱する。これにより、リセット端子H 1は抵抗素子7を介して電源電圧V d dが印加され、ハイレベルに反転される。リセット端子H 1のハイレベルはラッチ回路22に保持され、ラッチ回路22の出力信号23によってフラッシュメモリ5に終了処理が指示される。この後、更にメモリカード1が引き抜かれてカードスロット11の端子P v d, P v sからメモリカード1の端子H v d, H v sが離脱するまでには時間が有り、この間に、フラッシュメモリ5は前記指示に応答して終了処理を完了する。

【0036】

前記終了処理は、例えば消去及び書き込み処理途中の不揮発性メモリセルの閾値電圧を所定の閾値電圧分布に揃える処理（書き上げ処理とも称する）である。

ここでは終了処理の指示信号 23 はフラッシュメモリ 5 のリセット信号 (reset) である。フラッシュメモリ 5 は消去処理又は書き込み処理の途中でリセット信号がアサートされると、書き上げ処理を行う。例えばフラッシュメモリにおいて消去及び書き込みがワード線単位のメモリセルに対して行なわれるとすると、書き上げ処理とは過消去もしくはそれに近い消去状態のメモリセルに対して軽い書き込みを行う処理である。軽い書き込みとは、書き込み高電圧印加時間を通常書き込み処理よりも短くする書き込み処理であり、消去対象のメモリセルのうち、しきい値電圧が負電圧となっているメモリセルのしきい値電圧を正電圧にまで高くする処理である。ワード線単位に消去及び書込が行われる場合に、ワード線に書込電圧を印可した場合、しきい値電圧が負電圧となっているメモリセルでは電荷を蓄積する電荷蓄積層に印可される電位差が、しきい値電圧が正電圧となっているメモリセルの電荷蓄積層に印可される電位差に比べて大きくなるため、しきい値電圧が負電圧となっているメモリセル程、早く書込が行われることになる。書き上げ処理では過消去状態特にしきい値電圧が負電圧状態になっているメモリセルのしきい値電圧を正電圧にすることが目的であるため、通常書き込み処理よりも書込電圧の印加時間は短くて良い。これにより、フラッシュメモリカード 1 は、電源供給が完全に遮断される前に、データの書き込み途中で不所望な電源遮断が発生しても過消去状態のメモリセルが残らないように、自らで処理を行うことができる。

【0037】

別の終了処理として、消去及び書き込み処理途中の不揮発性メモリセルのブロックを識別可能な識別フラグをセットして保存する。識別フラグの格納場所はフラッシュメモリの識別フラグ専用領域であっても、或はセクタ管理領域であってもよい。セクタ管理領域の場合には、その後の電源投入によって読み出し可能であることが保証されなければならない。この意味では、識別フラグ専用領域を用いた方が高い信頼性を得る。この時の終了処理の指示もフラッシュメモリ 5 に対するリセット信号 (reset) として与えられればよい。このリセット信号 (reset) がアサートされたとき消去処理又は書き込み処理中であれば上記識別フラグを格納する終了処理を行えばよい。これにより、コントローラ 4 は電源

投入後にフラッシュメモリ 5 上の識別フラグをチェックし、消去及び書き込み処理途中で電源遮断が発生したメモリブロックの有無を判別し、そのようなメモリブロックに対しては過消去による不都合を生じないように、データ管理方式等に応じてメモリブロックの代替などの復旧処理を行えばよい。

【0038】

識別フラグのセットと共に消去及び書き込み処理途中の不揮発性メモリセルに対する完全逐行処理を併用してもよい。セクタの代替を減らすことができ、代替セクタの消費を抑えることが可能になる。

【0039】

図 4 には終了処理の指示経路の別の例が示される。コントローラ 4 にはインタフェース制御及びメモリ制御用のマイクロコンピュータ 20 が設けられている。マイクロコンピュータ 20 のコントロールレジスタ（図示を省略）の 1 ビットはカード引き抜き検出機能を有効にするか否かを設定するための設定ビットを有する。この設定ビットは論理値“1”でカード引き抜き検出機能を有効とする。この有効ビット信号は端子 H 1 の信号と共に 2 入力論理積（AND）ゲート 21 に入力され、その出力を D 型ラッチ回路 22 のクロック端子で受ける。D 型ラッチ回路 22 のデータ端子 D は接地端子 V_{ss} に接続され、その出力端子 Q からフラッシュメモリに対するリセット信号 23（reset）が出力される。フラッシュメモリーカード 1 はカードスロット 11 に対して任意の着脱を許容しない、ハードディスクと完全互換の用途もあり、その時は終了処理の指示は全く不用になる。このとき設定ビットは論理値“0”固定されればよい。

【0040】

図 5 には終了処理のモニタ端子を設けた例が示される。フラッシュメモリ 5 に対する終了処理の指示状況を逸早くカードホスト装置 10 にも知らせるには、前記外部端子 H 1 に接続するモニタ端子 H 2 を設ける。前記モニタ端子 H 2 は前記外部端子 H 1 に生ずる電位変化をカードホスト装置 10 にモニタ可能にする端子である。これにより、カードホスト装置 10 は書き込みデータの待避などを行って電源遮断時のデータを再度書き込みを可能にすることが可能になる。また、消去及び書き込み処理中のカード引き抜き禁止についてユーザに注意を促すことが

できる。

【0041】

カードスロット 11 からの引き抜き検出の別の構成について説明する。図 6 の例では信号端子 H1 がグランド端子 Hvs に抵抗素子 7 でプルダウンされる。信号端子 H1 に供給されるリセット信号 RST は上記とは逆にローレベルパルスでリセット処理を指示し、その後ハイレベルに維持される。図 6 にはメモリカード 1 がカードホスト装置 10 に装着されている状態を示す。この状態において、信号端子 H1 は電源電圧 Vdd を維持する。図 7 のようにカードホスト装置 10 からメモリカード 1 を引き抜こうとすると、先ず最初にカードディテクト端子 Hcd がカードスロット 11 の対応端子 Pcd から分離し、カードホスト装置 10 のカードコントローラ 4 は端子 Pvd に対する動作電源の供給を停止する。動作電源の供給が停止されてもカードホスト装置 10 側の電源供給系における寄生容量成分により、実際に端子 Pvd, Hvd の電源電圧が低下するには比較的時間がかかる。この間に、先ず、信号端子 H1 がカードホスト装置 10 の信号端子 P1 から離脱する。これにより、信号端子 H1 は抵抗素子 7 を介して接地電圧 GND が印加され、ローレベルに反転される。端子 H1 のローレベルはラッチ回路 22 に保持され、ラッチ回路 22 の出力信号 23 によってフラッシュメモリ 5 に終了処理が指示される。この後、更にメモリカード 1 が引き抜かれてカードスロット 11 の端子 Pvd, Pvs からカードの端子 Hvd, Hvs が離脱するまでには時間が有り、この間に、フラッシュメモリ 5 は前記指示に応答して前記同様の終了処理を完了する。

【0042】

カードスロット 11 からの引き抜き検出の別の構成について説明する。図 8 の例ではカードの引き抜きによる信号端子 H1 の電位変化を検出する点は上記の例と同様であり、コントローラ 4 はその電位変化に応答して電源遮断発生を示すフラグを保存する。保存先はフラッシュメモリ 5 ではなく、コントローラ 4 内部の不揮発性ラッチ回路 25 である。不揮発性ラッチ回路 25 は各ビットにフラッシュメモリ 5 と同様の不揮発性メモリセルを採用して構成される。コントローラ 4 は、カードホスト装置 10 からメモリカード 1 が引き抜かれようとするとき、信

号端子H 1のレベルが反転されると、前記不揮発性ラッチ回路25に電源遮断の発生を示すフラグとセクタアドレスを保存する。コントローラ4は電源投入後に前記フラグをチェックし、電源遮断発生の有無を判別し、電源遮断が有ったときは、フラッシュメモリ5の電源遮断発生セクタの異常を判別し、必要に応じてセクタ代替などの復旧処理を行えばよい。

【0043】

カードスロット11からの引き抜き検出の別の構成について説明する。図9の例ではメモリカード1の引き抜きによる信号端子H 1の電位変化を検出する点は上記の例と同様であり、コントローラ4はその電位変化に応答して、チャージポンプ回路30を起動させてフラッシュメモリ5の動作電源を補う。上記より、電源供給が完全に遮断されるまでの時間を引き延ばすことができ、その間に必要な処理を完了することが容易になる。チャージポンプ回路30は元々フラッシュ5に内蔵されているもの、或はそれ専用増設されたもの、の何れであってもよい。

【0044】

図10には本発明に係るカード型電子装置の別の例であるフラッシュメモリカードが例示される。同図に示されるフラッシュメモリカードは例えばMMC (Multi Medium Card) の規格に準拠する。

【0045】

フラッシュメモリカード1はカード基板2にインタフェース端子部3、コントローラ4及び電氣的に消去及び書込み可能な不揮発性メモリの一種であるフラッシュメモリメモリ5が搭載されて構成される。インタフェース端子部3はパーソナルコンピュータなどのカードホスト装置10に設けられているカードスロット11に着脱される。インタフェース端子の種類及び物理的構成はメモリカードが準拠する規格に従って決定される。例えば、インタフェース端子部3には電源端子F v d、接地端子F v s 1、F v s 2、及び複数の信号端子F 1～F 4が設けられる。カードスロット11にはそれらに対応する端子として、電源端子P v d、接地端子P v s 1、P v s 2、及び複数の信号端子P 1～P nが設けられる。例えばカードスロット11側のインタフェース端子P v d、P v s 1、P v s 2

、P1～Pnはピン、メモ리카ード側のインタフェース端子Fvd、Fvs1、Fvs2、F1～F4はピンが接触される平面によって構成される。平面で構成される電源系端子Fvd、Fvs1、Fvs2と、これに対応する電源系インタフェース端子Pvd、Pvs1、Pvs2との接続分離は、Fvd、Fvs1とPvd、Pvs1との接続分離がFvs2とPvs2の接続分離に比べて先とされる。要するに、メモ리카ード1をカードスロット11に挿入するとき、Pvs1、Pvdが先にFvs1、Fvdに接続し、その後にPvs2がFvs2に接続する。引き抜くときはその逆で、Pvs2がFvs2から分離した後に、Pvs1、PvdがFvs1、Fvdから分離する。例えば端子Pvs2は端子Pvd、Pvs1よりも1mm短い。

【0046】

カードスロット11のインタフェース端子Pvd、Pvs1、Pvs2、P1～P4は図示を省略するカード制御部に接続され、カード装着分離の検出、カード装着分離検出に応ずる電源の供給と停止の制御、信号インタフェース制御を行う。

【0047】

メモ리카ード1においてコントローラ4及びフラッシュメモリ5は電源端子Fvdとグランド端子Fvsに接続され、カードスロット11より動作電源の供給を受ける。コントローラ4はカードホスト装置10とのインタフェース制御を行い、またフラッシュメモリ5に対しメモリインタフェース制御を行う。

【0048】

フラッシュメモリ5は、上記同様に電氣的に消去及び書き込み可能な多数の不揮発性メモリセルがマトリクス配置されたメモリマツトを有し、前記不揮発性メモリセルに高電圧が印加されて消去及び書き込みが可能にされる。

【0049】

コントローラ4はフラッシュメモリ5をハードディスク互換のファイルメモリとしてアクセス制御する。例えば、フラッシュメモリ5のデータ領域をセクタ単位でアクセス可能にアドレス管理すると共に、不良セクタに対する代替セクタの割り当て制御などを行う。フラッシュメモリ5に対するアクセスでは、物理アド

レスを用いて、消去処理、書込み処理、読み出し処理のアクセス制御を行う。

【0050】

メモリカード1自らがカードスロット11からの引き抜きを検出する構成について説明する。図10の例では端子Fvdが電源端子Fvs1に抵抗素子7でプルアップされる。

【0051】

メモリカード1がカードホスト11に装着されている状態において、端子Fvs1は接地電圧GNDを維持する。カードホスト装置10からメモリカード1を引き抜こうとすると、端子Fvs1がカードホスト装置10の信号端子P1から離脱する。これにより、信号端子Fvs1は抵抗素子7を介して電源電圧Vddが印加され、ハイレベルに反転される。端子Fvs1のハイレベルはラッチ回路22に保持され、ラッチ回路22の出力信号23によってフラッシュメモリ5に終了処理が指示される。この後、更にメモリカード1が引き抜かれてカードスロット11の端子Pvd, Pvs2からメモリカード1の端子Fvd, Fvs2が離脱するまでには時間が有り、この間に、フラッシュメモリ5は前記指示に応答して終了処理を完了する。

【0052】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0053】

例えば、不揮発性メモリセルには、ソース（ソース線接続）、ドレイン（ビット線接続）、チャネル、前記チャネル上で隣合って相互に絶縁形成された選択ゲート（ワード線接続）及びメモリゲート（メモリゲート制御線接続）を持つスプリットゲート構造等を採用してもよい。不揮発性メモリの情報記憶は閾値電圧の相違の他に、シリコン窒化膜などの電荷トラップ膜に対するキャリアのトラップ位置の相違によって記憶情報を決定する形式であってもよい。また、一つの不揮発性メモリセルが記憶する情報量は1ビットに限定されず、2ビット以上であってもよい。

【 0 0 5 4 】

カード型電子装置をフラッシュメモリカードに適用する場合にはカードの規格は上記の例に限定されず、その他種々の規格のカードに適用可能である。

【 0 0 5 5 】

カード型電子装置はフラッシュメモリカードに限定されず、S R A M (Static Random Access Memory) カード、L A N (Local area network) カード、モデムカード、グラフィックカード等であってもよい。この場合、制御情報を記憶する不揮発性記憶装置が有れば、その部分に対してはフラッシュメモリカードと同様に前記終了処理を指示すればよい。本発明は不揮発性メモリを搭載しないカード型電子装置にも適用可能である。例えば通信カードにおいて送信途中で不所望なカードの抜き出しが行なわれるときに送信先に電源遮断エラーコードを送信したり、また、通信カードにおいて受信途中で不所望なカードの抜き出しが行なわれるときには送信元に受信エラーコードを送信して、再送処理の円滑化を図るようにしてもよい。

【 0 0 5 6 】

本発明はリムーバブルメディアなど種々のカード型電子装置等の半導体処理装置に広く適用することができる。

【 0 0 5 7 】**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 5 8 】

すなわち、電源供給が完全に遮断される前にカード型電子装置に代表される半導体処理装置それ自体で引き抜きを検出し、電源遮断に至る前にそれに対処することができる。したがって、メモリカードであれば、メモリやデータ管理方式に応じて遮断対策を講ずることができる。これにより、予備バッテリーを備えたり、大きなコンデンサを持たなくても済み、原価低減と小型軽量化に寄与することができる。電源遮断による不良が減り、カード型電子装置等の半導体処理装置の信頼性を向上させることができる。

【図面の簡単な説明】**【図 1】**

本発明に係る半導体処理装置の一例であるフラッシュメモリカードとカードスロットを示す概略ブロック図である。

【図 2】

メモリカードがカードホストに装着されている状態を示す概略ブロック図である。

【図 3】

カードホストに装着されたメモリカードの引く抜きによって電源端子の接続が保たれたままリセット端子が分離した過渡状態を示す概略ブロック図である。

【図 4】

終了処理の指示経路の別の例を示すメモリカードの概略ブロック図である。

【図 5】

終了処理のモニタ端子を設けた例を示すメモリカードの概略ブロック図である。

【図 6】

図 1 と信号端子 H 1 の極性が異なる場合の例を示すメモリカードの概略ブロック図である。

【図 7】

カードホストに装着された図 6 のメモリカードの引く抜きによって電源端子の接続が保たれたままリセット端子が分離した過渡状態を示す概略ブロック図である。

【図 8】

カードスロットからの引き抜き検出の別の構成を備えたメモリカードの概略ブロック図である。

【図 9】

カードスロットからの引き抜き検出の更に別の構成を備えたメモリカードの概略ブロック図である。

【図 1 0】

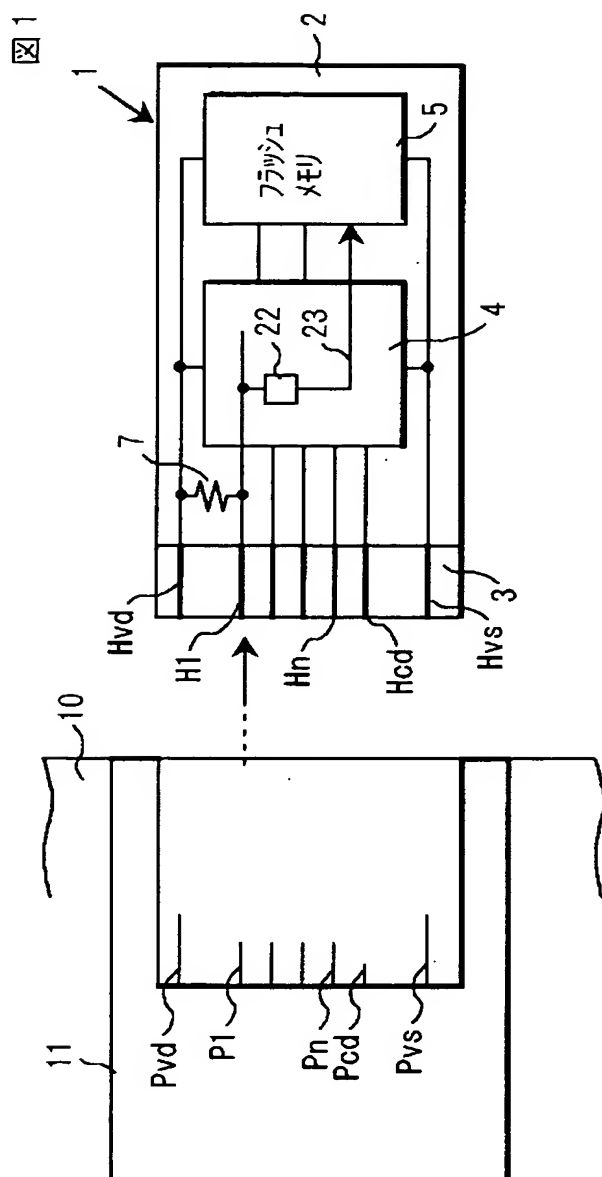
本発明に係る半導体処理装置の別の例として図 1 とは異なるカード規格に準拠するフラッシュメモリカードの概略ブロック図である。

【符号の説明】

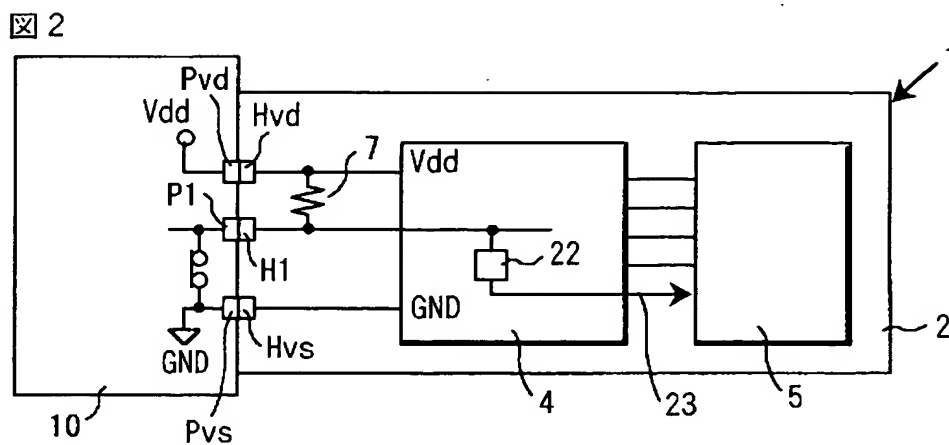
- 1 フラッシュメモリカード
- 2 カード基板
- 3 インタフェース端子部
- 4 コントローラ
- 5 フラッシュメモリ
- 10 ホスト装置
- 11 カードスロット
- H v d、P v .d 電源端子
- H v s、P v s 接地端子
- H c d、P c d カードディテクト端子
- H 1 ~ H n、P 1 ~ P n 信号端子
- 7 抵抗素子
- G N D 接地電圧（グラウンド電圧）
- V d d 電源電圧
- 20 マイクロコンピュータ
- 22 D型ラッチ回路

【書類名】 図面

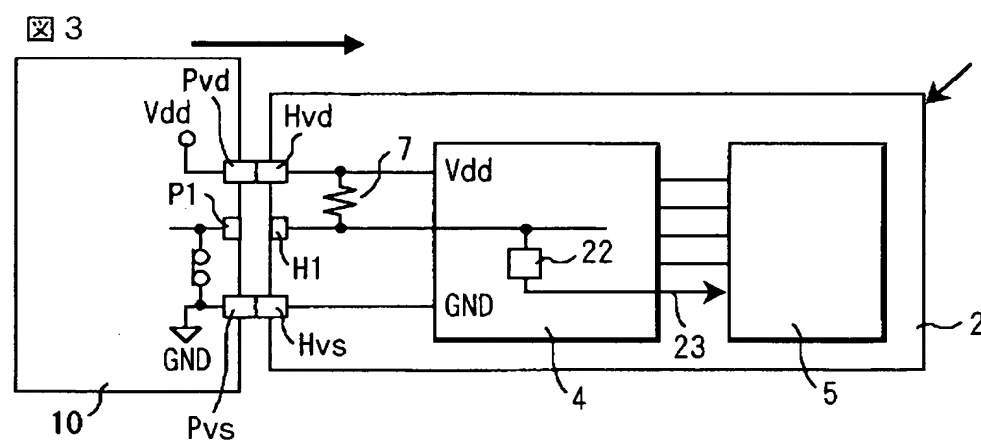
【図 1】



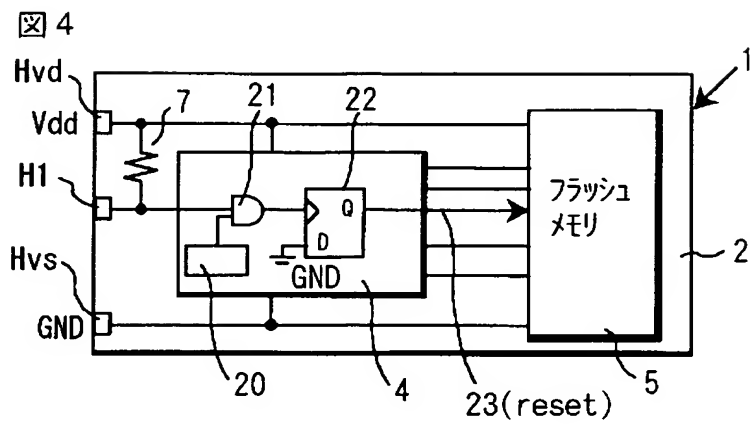
【図 2】



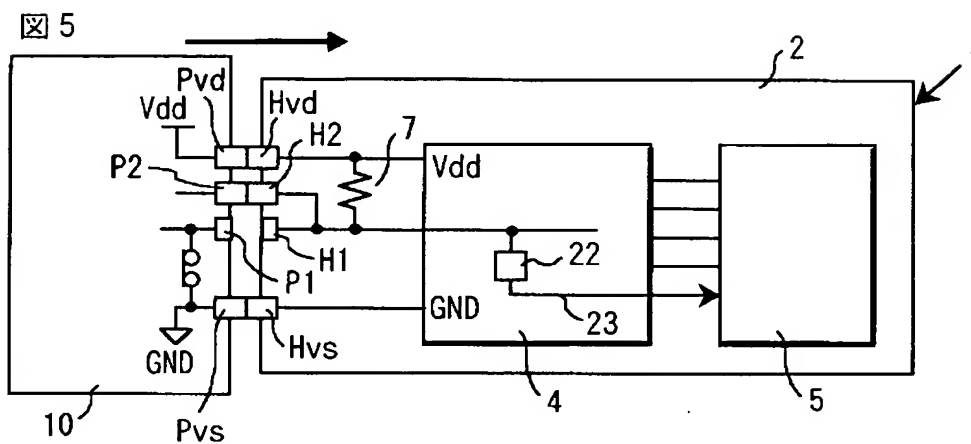
【図 3】



【図 4】

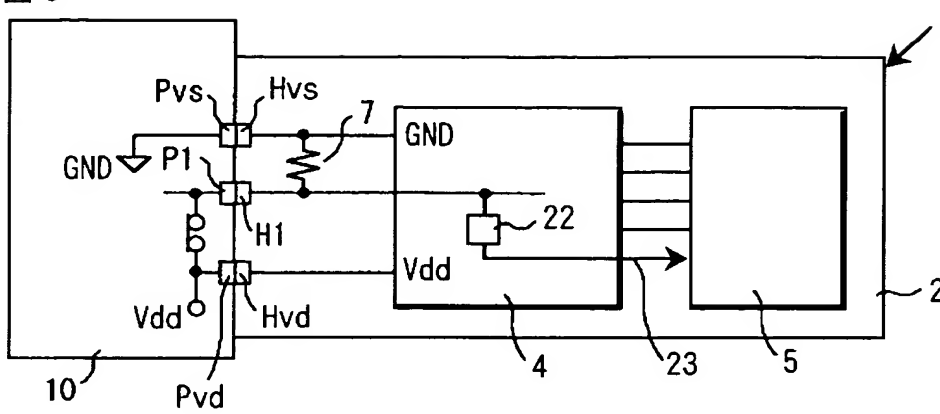


【図 5】



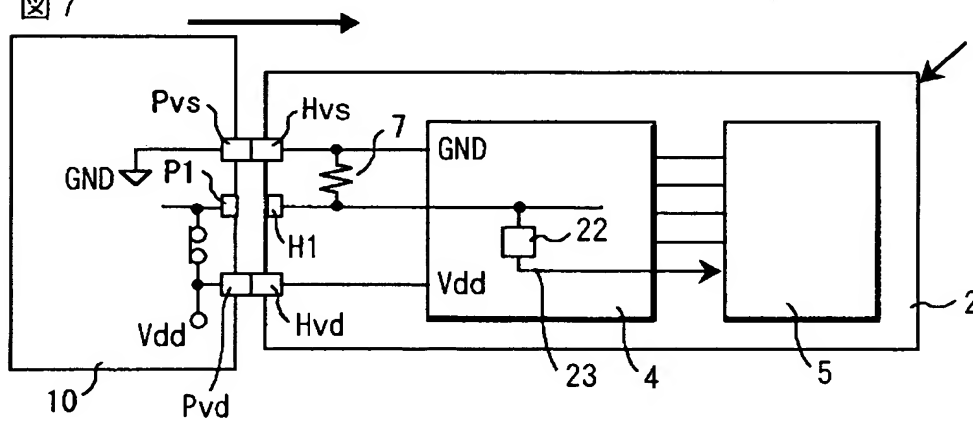
【図 6】

図 6.

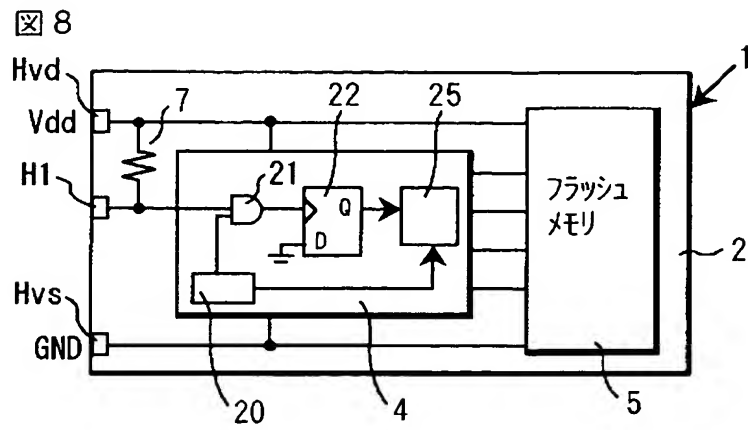


【図 7】

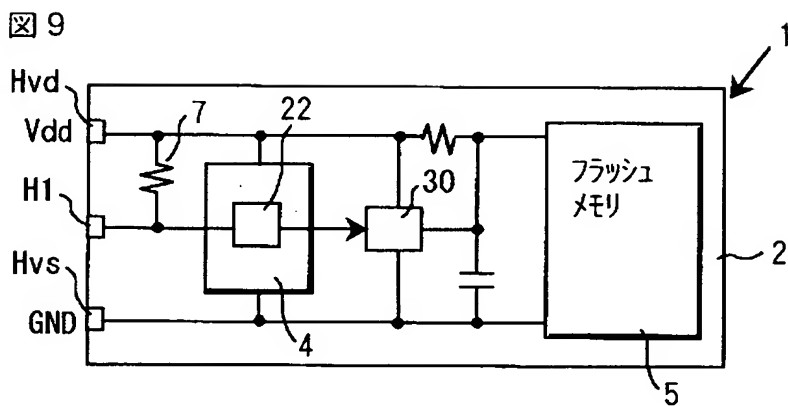
図 7



【図 8】

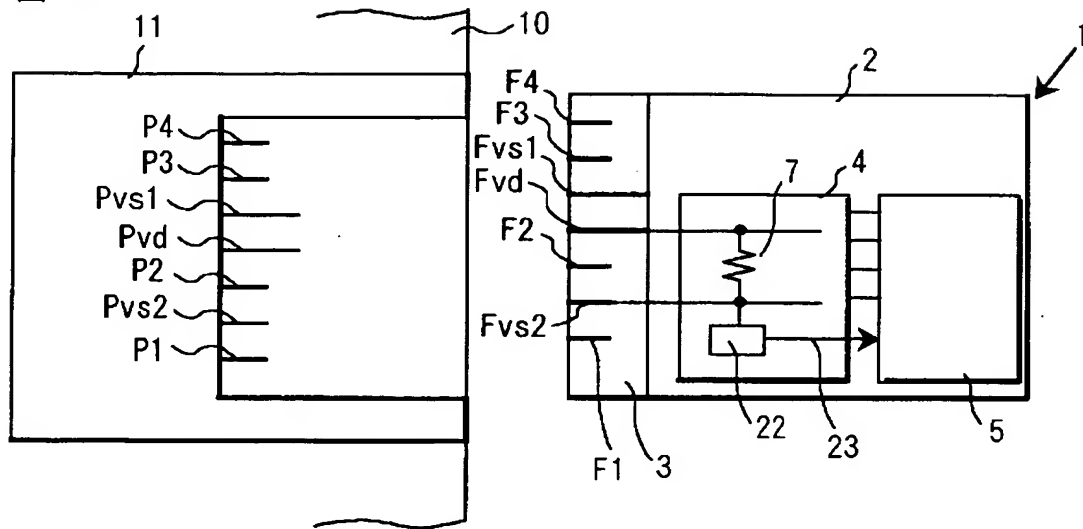


【図 9】



【図 10】

図 10



【書類名】 要約書

【要約】

【課題】 カード引き抜きによる電源遮断による不都合を比較的容易に解消することができるカード型電子装置等の半導体処理装置を提供する。

【解決手段】 半導体処理装置は、インタフェース制御回路（４）と処理回路（５）を有し外部装置例えばカードスロット（１１）に装着されて動作電源の供給を受ける。カード引き抜きによる電源遮断による不都合を解消する第１形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットからの電源供給遮断前にカードスロットの所定の端子（Ｐ１）から分離する第１外部端子（Ｈ１）に生ずる電位変化を検出し、動作状態の処理回路に終了処理を指示する。上記より、電源供給が完全に遮断される前に半導体処理装置は自らで終了処理を行うことができる。

【選択図】 図１

特願 2 0 0 3 - 0 8 9 6 9 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所